

(19) Korean Intellectual Property Office (KR)

(12) Korean Unexamined Patent Application Publication (A)

(51) Int. Cl.⁶: G02F 1/136, G02F 1/1343

(11) Publication No.: 2000-0025444

(43) Publication Date: MAY 6, 2000

(21) Application No.: 10-1998-0042533

(22) Filing Date: OCTOBER 12, 1998

(71) Applicants: SAMSUNG Electronics CO., LTD.

(Jong Yong YUN)

416 Maetan 3-dong, Paldal-ku, Suwon-shi,
Gyeonggi-do, Korea

(72) Inventors: Woon Yong Park

203-602 Jugong Apt. Wuman-dong, Paldal-ku,
Suwon-shi, Gyeonggi-do, Korea

(74) Agent: Won Ho Kim, Won Keun Kim

Request for Examination: YES

(54) LIQUID CRYSTAL DISPLAY Device

ABSTRACT

A first gate and a second gate line parallel to one another are formed on a substrate in a horizontal direction and data lines are formed in a vertical direction on the first

and second gate line and the insulating layer therebetween. The connecting line connecting the first and the second gate line is formed on the substrate under arbitrary data lines along the data lines. Auxiliary lines for disconnection of the data lines are formed under adjacent data lines. At this time, the auxiliary lines are separated from and formed between the first gate line and the second gate line, and both ends thereof are projected with a certain angle. A semiconductor layer is formed on the first gate line. A source electrode and a drain electrode connected to the data line are overlapped on the semiconductor layer respectively. A transparent pixel electrode connected to the drain electrode is formed on the protective film covering the data lines, the source electrode and the drain electrode, and a transparent connecting pattern connecting the auxiliary lines and the data lines or auxiliary lines of an adjacent pixel and the auxiliary lines is formed on the protective film.

REPRESENTATIVE FIGURE

Fig. 1

SPECIFICATION

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a wiring diagram of substrate of a thin film transistor according to an embodiment of the present invention;

FIG. 2 is a cross-sectional view taken along line II-II' of FIG. 1;

FIG. 3 is a cross-sectional view taken along line III-III' of FIG. 1; and

FIG. 4 is a cross-sectional view taken along line IV-IV' of FIG. 1;

FIG. 5 is a plan view illustrating schematically a gate wiring and pixel region of a substrate of a thin film transistor according to an embodiment of the present invention.

DETAILED DESCRIPTION OF THE INVENTION

OBJECT OF THE INVENTION

TECHNICAL FIELD AND RELATED ART OF THE INVENTION

The present invention relates to a thin film transistor liquid crystal display device having double gate line structure, specifically to a structure where auxiliary lines do not exist in a certain pixel unit.

A liquid crystal display device having a structure, in which gate lines are formed doubly with respect to a pixel and the gate connecting line connect the double gate lines, is a

type that a part of the double gate lines is overlapped with an edge of pixel electrode and the pixel electrode is connected to a drain electrode of a the first row pixel to form preservative capacity by using the gate lines overlapped with the pixel electrode. Therefore, it is not necessary for making extra preservative capacity lines and has an advantage of preventing disconnection of the data lines. If necessary, auxiliary repair lines of gate metal are formed under the data lines and connect to the data lines through a contact hole to prevent the disconnection of the data lines.

However, since the gate connecting line is in a pixel, there is a disadvantage of the decrease of an aperture ratio. Moreover, since the auxiliary repair lines are of the same metal as that of the gate connecting line and are formed in same layer, a short-circuiting may be occurred between the auxiliary repair lines and the gate connecting line, that is, between the gate electrode and the drain electrode.

PROBLEMS TO BE SOLVED BY THE INVENTION

An object of the present invention is to provide a wiring structure which can prevent gate lines and data lines from disconnecting.

The other object of the present invention is to prevent an aperture ratio from deceasing.

STRUCTURE AND OPERATION OF THE INVENTION

In a liquid crystal display device according to the present invention for accomplishing the above objects, since the gate connecting lines are formed under the data lines, the aperture ratio does not decrease.

In a liquid crystal display device according to an embodiment of the present invention, a plurality of gate lines of dual line is formed on substrate in parallel with each other in pairs, and the gate connecting lines connect double gate lines. A gate insulating film covers the above-mentioned structure and a plurality of data lines intersected with the gate lines is formed on the insulating film. At this time, the gate connecting line is formed under and in parallel with a certain data line among a plurality of data lines.

A plurality of auxiliary lines may be formed under the remainder data lines which are not overlapped with the gate connecting lines, and preferably the auxiliary lines are separated so as not to contact with the double gate lines and connected to the data lines electrically.

The present invention may further comprises connection means for connecting the auxiliary lines of both sides of the gate lines to the data lines simultaneously, and the connection means may be formed of a transparent conductive film.

Preferably, the gate connecting lines are formed in a ratio smaller than the auxiliary lines. More preferably, the

ratio of the data lines overlapping the gate connecting line to the data lines overlapping the auxiliary lines is 1:10.

As such, since gate connecting lines are under the data lines, it is possible to prevent the gate lines and the data lines from disconnection without decrease of aperture ratio.

Now, a liquid crystal display device according to an embodiment of the present invention will be described in detail so as to be practiced easily by a person skilled in the art with reference to accompanying drawings.

Fig. 1 is a wiring diagram of a liquid crystal display device according to an embodiment of the present invention, Fig. 2 is a cross-sectional view taken along line II-II' of FIG. 1, FIG. 3 is a cross-sectional view taken along line III-III' of FIG. 1, and FIG. 4 is a cross-sectional view taken along line IV-IV' of FIG. 1.

As illustrated in Fig. 1 to Fig. 4, a first and a second gate lines parallel to one another is formed on a transparent insulating substrate 10 in a horizontal direction, and the connecting line 103 to connect the first and second gate lines 101 and 102 are formed in a certain portion. In addition, auxiliary lines 104 for disconnection of the data lines are formed in a vertical direction. At this time, the auxiliary lines 104 are formed between the first and second gate line 101 and 102 with separated therefrom and both ends are project in a certain angle.

A gate insulating film 200 covers the first and second gate lines 101 and 102, the gate connecting line 103, and repair lines 104. A semiconductor layer 300 is formed on the first gate lines 101. An ohmic contact layer 301 improving electrical contact characteristic is formed on the semiconductor layer 300 at both sides of the first gate lines 101, and the source electrode S and the drain electrode D are formed thereon, respectively. Furthermore, data line 400 is formed over the gate connecting line 103 and the auxiliary line 104 in a vertical direction on the gate insulting film 200, and the data line 400 is connected with the source electrode S.

The semiconductor layer 300, the data line 400, the source and the drain electrode S and D are covered with a protective insulating film 500. Contact holes C3 and C4 exposing a portion of the data lines 400 which is intersected with the first gate lines 101 and a part of the drain electrodes D, respectively are formed through the protective insulating film 500. Moreover, contact holes C1 and C2 exposing both ends of the auxiliary lines 104 are formed through the protective insulating film 500 and the gate insulating film 200, respectively.

A transparent pixel electrode 600 is formed on the protective insulating film 500 in a pixel region divided by the double gate lines 101, 102 and the data lines 400, and the

transparent pixel electrode 600 is connected to the drain electrode D of a front end pixel through the contact holes C4.

A transparent connecting pattern 620 is formed on a portion where the gate lines 101 and 102 intersect data lines 400. The transparent connection pattern is overlapped with the first gate lines 101 and the second gate lines 102 of the front end pixel and an end thereof project with a certain angle to be overlapped with ends of the auxiliary lines 104. The end of the transparent connecting pattern 620 is connected to the auxiliary lines 104 through contact holes C1, C2, and is connected to the data lines 400 through the contact hole C3 formed through the protective insulating film 500. That is, the auxiliary lines are connected to data lines 400 electrically through the transparent connecting pattern 620.

Meanwhile, in case where adjacent pixel regions all have the auxiliary line 104, the transparent connecting pattern 620 connects the first gate line 101 and the auxiliary line 104 of the second gate line 102 of the first row to data line 400 simultaneously.

Like this, since the gate connecting line 103 are formed under the data lines 400 in the embodiment of the present invention, the aperture ratio does not decrease. Moreover, since the gate connecting line 103 and the auxiliary line 104 are not adjacent each other, the defects due to the short-circuiting of the gate and the drain do not occur.

In the embodiment of the present invention, the gate connecting line and the auxiliary line exist in a certain ratio, and it will be explained with reference to Fig. 5.

Fig. 5 is a plan view illustrating schematically the gate wiring and pixel region of a thin film transistor substrate and the pixel region according to the embodiment of the present invention, in which the thin film transistor or the substrate pattern is not shown, and only double gate lines and the gate lines and the pixel region are shown.

As shown in Fig.5, a plurality of pixels P is arrayed on the substrate in matrix form, and two gate lines 101, 102 are formed for each pixel row. The two gate lines 101 and 102 are connected to one on left edge of the substrate to receive same scanning signal, therefore it has a structure of double gate line structure.

The gate connecting line 103 to connect the double gate lines in a vertical direction is formed in the outside of a portion of a plurality of pixels arrayed in matrix form. In order to uniform the load capacity applied on the data lines of whole substrate, the gate connecting line 103 is connected along pixel P gradually.

For example, if the gate connecting line 103 is connected to gate lines 101, 102 corresponding to the first pixel of pixels P connected to one data line (not shown), the gate

connecting lines 103 are not formed for the other successive nine pixels.

The number of pixels corresponding to the gate connecting line 103 is formed smaller than that of pixels not corresponding to the gate connecting line 103. Since the probability for disconnection of gate lines or data lines is usually less than 10%, the ratio of pixels connected to the gate connecting line to the pixels disconnected is preferably 1:10.

Meanwhile, in pixels P to which the gate connecting line 103 is not connected, the auxiliary lines 104 are formed between two gate lines 101 and 102 for preventing disconnection of data lines (not shown).

Like this, by changing the position of the gate connecting line 103 and the auxiliary lines 104 gradually, the load capacity of the pattern in the substrate can be uniform.

EFFECTS OF THE INVENTION

As described above, since the gate connecting lines are formed under data lines, the aperture ratio does not decrease. Moreover, since the gate connecting lines and the auxiliary lines are formed selectively and gradually for each pixel, defects due to short-circuiting of the connecting lines and the auxiliary lines can be prevented, and the load capacity can be uniform on the whole substrate.

CLAIMS

Claim 1

A liquid crystal display device comprising:

- a transparent insulating substrate;
- a plurality of first gate lines formed on the insulating substrate;
- a plurality of second gate lines formed parallel to the first gate lines;
- a plurality of the gate connecting lines for connecting the first and second gate lines;
- a first insulating layer covering the first and second gate lines and the gate connecting line;
- a liquid crystal display device, formed on the first insulating layer and containing a plurality of data lines intersecting the first and second gate line,

wherein the gate connecting lines are formed under and in parallel to first data lines which are a portion of a plurality of data lines.

Claim 2

A liquid crystal display device according to claim 1, further comprising a plurality of auxiliary lines formed on the substrate so as to overlap second data lines which are

remainder of the plurality of data lines except for the first data lines, and separated by the first and second gate lines, wherein the auxiliary lines are connected to the first or second data lines electrically.

Claim 3

A liquid crystal display device according to claim 2, further comprising connection means for connecting the auxiliary lines of both sides of the first and second gate lines to the second data lines simultaneously.

Claim 4

A liquid crystal display device according to claim 2, further comprising connection means for connecting the auxiliary lines to the first data lines electrically.

Claim 5

A liquid crystal display device according to claim 3 or 4, further comprising a second insulating layer covering the first and the second data lines,

wherein the connection means is formed on the second insulating layer as a transparent conductive film.

Claim 6

A liquid crystal display device according to claim 5, wherein the connection means is connected to the auxiliary lines and the second data lines via a first contact hole formed through the first insulating layer a second contact hole formed through the second insulating layer, respectively.

Claim 7

A liquid crystal display device according to claim 2, wherein the gate connecting lines are formed in the ratio smaller than the auxiliary line.

Claim 8

A liquid crystal display device according to claim 7, wherein the ratio of the first data line overlapped with the gate connecting line to the second data line overlapped with the auxiliary line is 1:10.

Claim 9

A liquid crystal display device according to claim 2, wherein the gate connecting line is formed in a manner that pixel corresponding to the gate connecting line change gradually with respect to a plurality of pixels which is formed on the intersection of the data lines and the first and second gate lines.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(SI) Int. Cl.⁶

G02F 1/136

G02F 1/1343

(11) 공개번호 특2000-0025444

(43) 공개일자 2000년05월06일

(21) 출원번호 10-1998-0042533
(22) 출원일자 1998년10월12일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 박운용
경기도 수원시 팔달구 우만동 주공아파트 203동 602호
(74) 대리인 김원호, 김원근

심사청구 : 있음

(54) 액정 표시 장치

요약

기관 위에 서로 평행한 제1 및 제2 게이트선이 가로 방향으로 형성되어 있고, 제1 및 제2 게이트선과 절연층을 사이에 두고 데이터선이 세로 방향으로 형성되어 있다. 임의의 데이터선 하부의 기관 위에는 제1 및 제2 게이트선을 연결하는 연결부가 데이터선을 따라 형성되어 있으며, 인접한 데이터선 하부에는 데이터선의 단선을 대비한 보조선이 형성되어 있다. 이때, 보조선은 제1 및 제2 게이트선 사이에 제1 및 제2 게이트선과 분리되어 형성되어 있는데, 양 끝 부분은 일정 각도로 비껴 나와 있다. 제1 게이트선 상부에는 반도체층이 형성되어 있으며, 데이터선과 연결된 소스 전극 및 드레인 전극이 반도체층과 각각 중첩되어 있다. 데이터선 및 소스 및 드레인 전극을 덮고 있는 보호막 위에는 드레인 전극과 연결되는 투명 화소 전극이 형성되어 있으며, 보조선과 데이터선 또는 인접 화소의 보조선 및 보조선을 연결하는 투명한 연결 패턴이 보호막 위에 형성되어 있다.

도표

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기관의 배선도이고,
도 2는 도 1의 II-II' 선에 따른 단면도이고,
도 3은 도 1의 III-III' 선에 따른 단면도이고,
도 4는 도 1의 IV-IV' 선에 따른 단면도이고,
도 5는 본 발명의 실시예에 따른 박막 트랜지스터 기관의 게이트 배선 및 화소 영역을 개략적으로 도시한 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 이중 게이트선 구조를 가지는 박막 트랜지스터 액정 표시 장치에 관한 것으로서, 특히 보조선이 일정 화소 단위로 존재하지 않는 구조에 관한 것이다.

하나의 화소에 대해 게이트선이 이중으로 형성되고 이중의 게이트선을 게이트선 연결부가 연결하고 있는 구조를 가지는 액정 표시 장치는, 이중의 게이트선의 일부가 화소 전극의 가장자리와 중첩되도록 하고 화소 전극은 전단 화소의 드레인 전극과 연결하여 화소 전극과 겹치는 게이트선 부분을 이용하여 유지 용량을 형성하는 방식이다. 따라서, 별도의 유지 용량선을 만들 필요가 없고 게이트선의 단선을 막을 수 있다는 장점이 있다. 필요에 따라, 데이터선 하부에 게이트 금속으로 보조 수리선을 두고 데이터선과 접촉 구를 통해 데이터선과 연결시켜, 데이터선의 단선을 방지한다.

그러나, 게이트선 연결부가 화소 내에 있으므로 개구율이 감소되는 단점이 있다. 또한, 보조 수리선이 게이트선 연결부와 같은 금속으로 같은 층에 형성되기 때문에 보조 수리선과 게이트선 연결부, 즉 게이트

전극과 드레인 전극 사이에 단락이 발생할 가능성이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 과제는 게이트선 및 데이터선 단선을 방지하는 배선 구조를 구현하는 것이다.

본 발명의 다른 과제는 개구율 감소를 막는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위한 본 발명에 따른 액정 표시 장치에서는 게이트 연결부가 데이터선 하부에 형성되어 있어서, 개구율이 감소되지 않는다.

본 발명의 실시예에 따른 액정 표시 장치에서는 기판 위에 서로 평행하게 이중 라인의 게이트선이 다수 쌍 형성되어 있고, 이중의 게이트선을 게이트 연결부가 연결하고 있다. 그 위를 게이트 절연막이 덮고 있으며, 절연막 위에는 게이트선과 교차하는 다수의 데이터선이 형성되어 있다. 이때, 게이트선 연결부는 다수의 데이터선 중 임의의 데이터선 하부에 데이터선과 평행하게 형성되어 있다.

게이트 연결부와 중첩되지 않는 나머지 데이터선 하부에는 보조선이 형성되어 있을 수 있으며, 이 보조선은 이중의 게이트선과 접촉되지 않게 분리되어 있고 데이터선과는 전기적으로 연결되어 있는 것이 바람직하다.

게이트선 양쪽의 보조선을 동시에 데이터선에 연결하는 연결 수단을 더 포함할 수 있으며, 이 연결 수단은 투명 도전막으로 형성되어 있을 수 있다.

게이트 연결부가 보조선보다 적은 비율로 형성되는 것이 바람직하다. 즉, 게이트 연결부가 중첩되는 데이터선 및 보조선과 중첩되는 데이터선의 비율이 1:10인 것이 바람직하다.

이처럼, 게이트 연결부가 데이터선 하부에 놓이므로 개구율의 감소 없이 게이트 및 데이터선의 단선을 막을 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세하게 설명한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치의 배선도이고, 도 2는 도 1의 II-II 선에 따른 단면도이고, 도 3은 도 1의 III-III 선에 따른 단면도이고, 도 4는 도 1의 IV-IV 선에 따른 단면도이다.

도 1 내지 도 4에 도시한 바와 같이, 투명한 절연 기판(10) 위에 서로 평행한 제1 게이트선(101) 및 제2 게이트선(102)이 가로 방향으로 형성되어 있고, 제1 및 제2 게이트선(101, 102)을 연결하는 연결부(103)가 임의의 부분에 형성되어 있다. 또한, 데이터선의 단선을 대비한 보조선(104)이 세로 방향으로 형성되어 있다. 이때, 보조선(104)은 제1 및 제2 게이트선(101, 102) 사이에 제1 및 제2 게이트선(101, 102)과 분리되어 형성되어 있는데, 양 끝 부분은 일정 각도로 비껴 나와 있다.

제1 및 제2 게이트선(101, 102), 게이트선 연결부(103)와 보조선(104)을 게이트 절연막(200)이 덮고 있으며, 제1 게이트선(101) 상부에는 반도체층(300)이 형성되어 있다. 반도체층(300) 위에는 전기적 접촉 특성을 향상시키기 위한 저한 접촉층(301)이 제1 게이트선(101)을 중심으로 양쪽으로 형성되어 있고, 그 위에는 소스 전극(S)과 드레인 전극(D)이 각각 형성되어 있다. 또한, 게이트 절연막(200) 위에는 데이터선(400)이 게이트선 연결부(103) 및 보조선(104) 상부에 세로 방향으로 형성되어 있으며, 데이터선(400)은 소스 전극(S)과 연결되어 있다.

반도체층(300), 데이터선(400), 소스 및 드레인 전극(S, D)은 보호 절연막(500)으로 덮여 있으며, 데이터선(400)과 제1 게이트선(101)이 교차하는 부분의 데이터선(400) 및 드레인 전극(D)의 일부를 각각 드러내는 접촉구(C3, C4)가 보호 절연막(500)에 뚫려 있다. 또한, 보조선(104)의 양 끝 부분을 드러내는 접촉구(C1, C2)가 보호 절연막(500) 및 게이트 절연막(200)에 형성되어 있다.

보호 절연막(500) 위에는 이중 게이트선(101, 102)과 데이터선(400)으로 구획되는 화소 영역 내부에 투명 화소 전극(600)이 형성되어 있는데, 접촉구(C4)를 통해 전단 화소의 드레인 전극(D)과 연결되어 있다.

게이트선(101, 102)과 데이터선(400)이 교차하는 부분에는 제1 게이트선(101) 및 전단 화소의 제2 게이트선(102)에 걸쳐 중첩되며, 그 끝 부분은 일정 각도로 비껴 나와 보조선(104)의 끝 부분과 중첩되는 투명한 연결 패턴(620)이 형성되어 있다. 이 투명한 연결 패턴(620)의 끝 부분은 접촉구(C1, C2)를 통해 보조선(104)과 연결되며, 보호 절연막(500)에 뚫려 있는 접촉구(C3)를 통해 데이터선(400)과도 연결된다. 즉, 투명 연결 패턴(620)을 통하여 보조선(104)이 데이터선(400)에 전기적으로 연결된다.

한편, 인접한 화소 영역이 모두 보조선(104)을 가지고 있을 경우, 투명 연결 패턴(620)은 제1 게이트선(101)과 전단의 제2 게이트선(102)의 보조선(104)을 동시에 데이터선(400)에 연결한다.

이처럼, 본 발명의 실시예에서는 게이트선 연결부(103)가 데이터선(400) 하부에 형성되어 있기 때문에, 개구율은 감소하지 않는다. 또한, 게이트선 연결부(103)와 보조선(104)이 인접해 있지 않기 때문에, 게이트 및 드레인의 단락에 의한 결함이 발생하지 않는다.

본 발명의 실시예에서는, 게이트선 연결부와 보조선이 일정한 비율로 존재하는데, 이에 대해서 도 5를 참고로 하여 더 설명한다.

도 5는 본 발명의 실시예에 따른 박막 트랜지스터 기판의 게이트 배선 및 화소 영역을 개략적으로 도시한 평면도로서, 박막 트랜지스터나 기판 배선 등은 도시하지 않고, 이중 게이트선과 게이트선 및 화소 영역만을 도시하였다.

도 5에 도시한 바와 같이, 기판 위에 다수의 화소(P)가 행렬 형태로 배열되어 있고, 각 화소행에 대해 두

게이트의 게이트선(101, 102)이 형성되어 있다. 두 게이트선(101, 102)은 기판의 왼쪽 가장자리에서 하나로 연결되어 동일한 주사 신호를 전달받게 되고 따라서 이중 게이트선 구조를 갖게 된다.

행렬 형태로 배열된 다수의 화소(P) 중 일부 화소의 한쪽 바깥에는 세로 방향으로 이중 게이트선(101, 102)을 연결하는 게이트선 연결부(103)가 형성되어 있다. 기판 전체의 데이터선에 걸리는 부하 용량을 균일하게 하기 위해서, 게이트선 연결부(103)가 화소(P)에 따라 순차적으로 연결되도록 한다.

예를 들면, 하나의 데이터선(도시하지 않음)에 연결된 화소(P)에서 첫 번째 화소에 해당하는 게이트선(101, 102)에 게이트 연결부(103)가 연결되어 있으면, 연속된 나머지 9개의 화소에 대해서는 게이트 연결부(103)가 형성되지 않는다.

게이트선 연결부(103)가 대응되는 화소의 수는 게이트선 연결부(103)가 대응되지 않는 화소의 수에 비해 적게 형성되는데, 보통, 게이트선 또는 데이터선의 단선 발생 확률은 10% 미만이므로 게이트 연결부(103)가 연결되는 화소와 연결되지 않는 화소의 비율은 1:10 정도면 된다.

한편, 게이트선 연결부(103)가 연결되지 않는 화소(P)에는 데이터선(도시하지 않음)의 단선을 방지하기 위한 보조선(104)이 두 게이트선(101, 102) 사이에 형성되어 있다.

이처럼, 게이트선 연결부(103)와 보조선(104)의 위치를 순차적으로 변화시키면, 기판 내에서 배선의 부하 용량을 균일하게 형성할 수 있다.

발명의 효과

이상에서와 같이, 게이트선 연결부가 데이터선 하부에 위치하므로, 개구율이 감소되지 않는다. 또한, 게이트선 연결부와 보조선이 각 화소에 대해 선택적 및 순차적으로 형성되어 있어서, 연결부와 보조선의 단락에 의한 결함을 방지할 수 있으며, 배선의 부하 용량을 전체 기판에 대해 균일하게 가져갈 수 있다.

(5) 청구의 범위

청구항 1

투명한 절연 기판,

상기 기판 위에 형성되어 있는 다수의 제1 게이트선,

상기 제1 게이트선과 평행하게 형성되어 있는 다수의 제2 게이트선,

상기 제1 및 제2 게이트선을 연결하는 다수의 게이트선 연결부,

상기 제1 및 제2 게이트선 및 상기 게이트선 연결부를 덮는 제1 절연층,

상기 제1 절연층 위에 형성되어 있으며 상기 제1 및 제2 게이트선과 교차하는 다수의 데이터선을 포함하며,

상기 게이트선 연결부는 상기 다수의 데이터선 중 일부인 제1 데이터선 하부에 상기 제1 데이터선과 평행하게 형성되어 있는 액정 표시 장치.

청구항 2

제1항에서,

상기 다수의 데이터선 중 상기 제1 데이터선을 제외한 나머지만 제2 데이터선과 중첩되도록 상기 기판 위에 형성되어 있으며 상기 제1 및 제2 게이트선에 의해 분리되어 있는 다수의 보조선을 더 포함하며, 상기 보조선은 상기 제1 또는 제2 데이터선과 전기적으로 연결되어 있는 액정 표시 장치.

청구항 3

제2항에서,

상기 제1 및 제2 게이트선 양쪽의 상기 보조선을 동시에 상기 제2 데이터선에 연결하는 연결 수단을 더 포함하는 액정 표시 장치.

청구항 4

제2항에서,

상기 보조선과 상기 제1 데이터선을 전기적으로 연결하는 연결 수단을 더 포함하는 액정 표시 장치.

청구항 5

제3 또는 제4항에서,

상기 제1 및 제2 데이터선을 덮는 제2 절연층을 더 포함하며, 상기 연결 수단은 상기 제2 절연층 위에 투명 도전막으로 형성되어 있는 액정 표시 장치.

청구항 6

제5항에서,

상기 연결 수단은 상기 제2 절연층 및 상기 제1 절연층에 뚫린 제1 접촉구 및 상기 제2 절연층에 뚫린 제2 접촉구를 통하여 각각 상기 보조선 및 상기 제2 데이터선에 연결되어 있는 액정 표시 장치.

청구항 7

제2항에서,

상기 게이트 연결부가 상기 보조선보다 적은 비율로 형성되어 있는 액정 표시 장치.

청구항 8

제7항에서,

상기 게이트 연결부가 중첩되는 제1 데이터선과 상기 보조선과 중첩되는 제2 데이터선의 비율이 1:10인 액정 표시 장치.

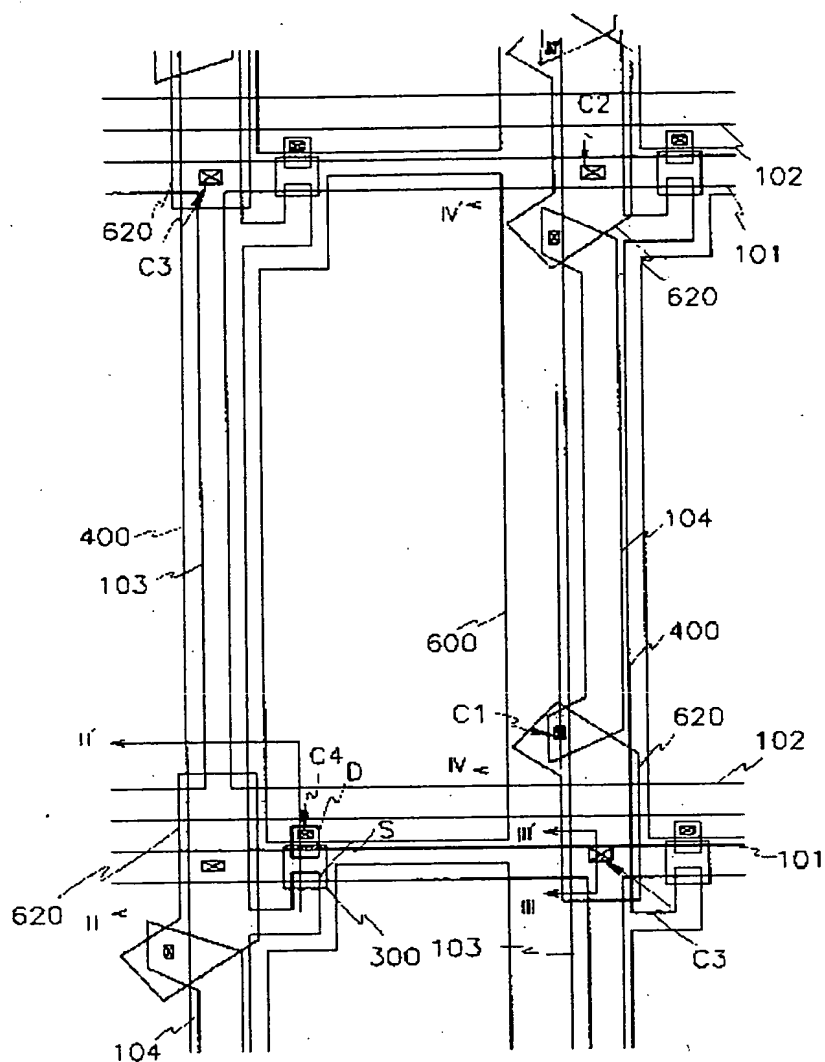
청구항 9

제2항에서,

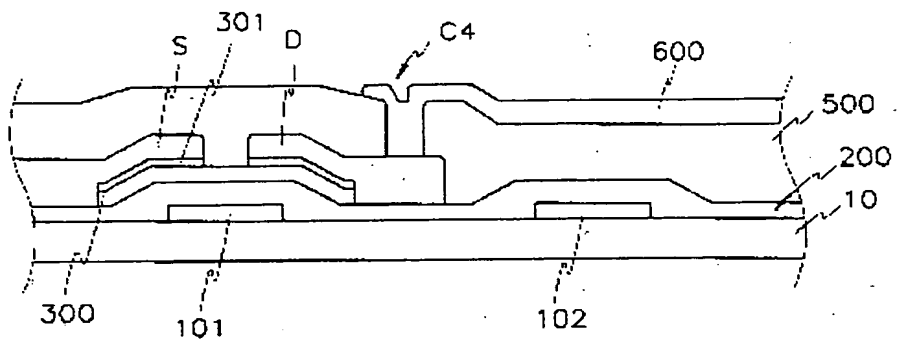
상기 게이트 연결부는 상기 데이터선과 상기 제1 및 제2 게이트선이 교차하여 형성되는 다수의 화소에 대해, 상기 게이트 연결부가 대응되는 상기 화소가 순차적으로 변하도록 형성되어 있는 액정 표시 장치.

도면

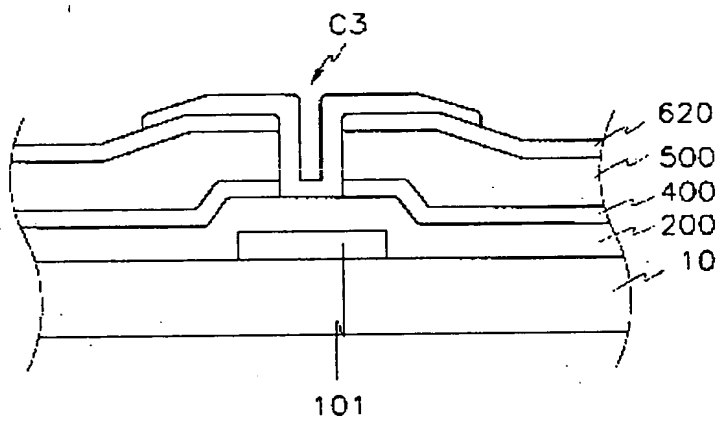
도 1



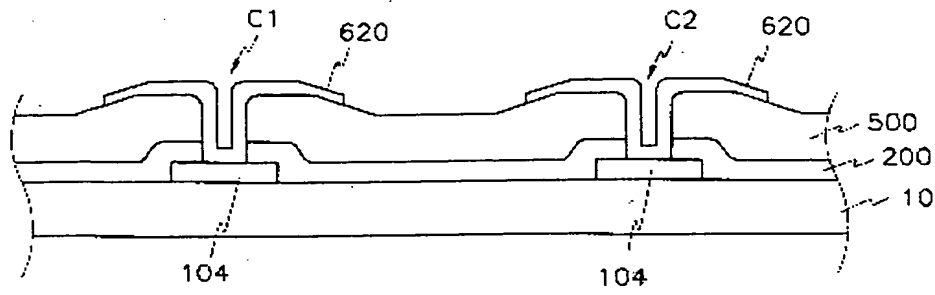
522



5213



도 14



도 15

